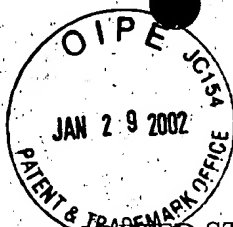


03500.015894.



Handwritten: #4 3-28-02
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)

TAKAHARU KONDO ET AL.)

Application No.: 09/982,845)

Filed: October 22, 2001)

For: SILICON BASED FILM)
AND PHOTOVOLTAIC)
ELEMENT)

January 28, 2002

Commissioner for Patents
Washington, D.C. 20231

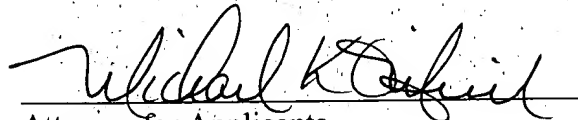
SUBMISSION OF PRIORITY DOCUMENT

Sir:

In support of Applicants' claim for priority under 35 U.S.C. § 119, enclosed is
a certified copy of Japan 2000-323521, filed October 24, 2000.

Applicants' undersigned attorney may be reached in our Costa Mesa, California office by telephone at (714) 540-8700. All correspondence should continue to be directed to our address given below.

Respectfully submitted,


Attorney for Applicants

Registration No. 32622

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

CA_MAIN 36500 v 1



本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月24日

出 願 番 号

Application Number:

特願2000-323521

出 願 人

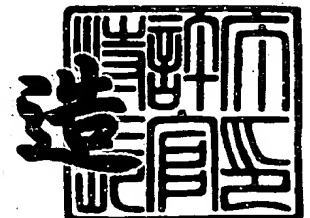
Applicant(s):

キヤノン株式会社

2001年11月16日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3100501

【書類名】 特許願

【整理番号】 3988017

【提出日】 平成12年10月24日

【あて先】 特許庁長官殿

【発明の名称】 シリコン系薄膜及び光起電力素子

【請求項の数】 8

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

 【氏名】 近藤 隆治

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

 【氏名】 佐野 政史

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

 【氏名】 松田 高一

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

 【氏名】 東川 誠

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キャノン株式会社

 【代表者】 御手洗 富士夫

【代理人】

 【識別番号】 100088096

 【弁理士】

【氏名又は名称】 福森 久夫

【電話番号】 03-3261-0690

【手数料の表示】

【予納台帳番号】 007467

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703882

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 シリコン系薄膜及び光起電力素子

【特許請求の範囲】

【請求項 1】 断面形状が関数 f で表わされる表面上に形成された結晶相を含むシリコン系薄膜において、前記シリコン系薄膜が、サンプリング長 dx が 20 nm から 100 nm の範囲で傾斜角 $\arctan(df/dx)$ の標準偏差が 15° から 55° である形状の上に形成され、前記シリコン系薄膜のアモルファス成分に起因するラマン散乱強度が結晶成分に起因するラマン散乱強度以下であり、前記基体に平行な方向の面間隔と、単結晶シリコンの面間隔との差が、単結晶シリコンの面間隔に対して 0.2% から 1.0% の範囲であることを特徴とするシリコン系薄膜。

【請求項 2】 前記結晶相を含むシリコン系薄膜が、厚さ方向に柱状の構造の結晶を含むことを特徴とする請求項 1 に記載のシリコン系薄膜

【請求項 3】 エックス線又は電子線回折による (220) の回折強度の割合が全回折強度の 30% 以上であることを特徴とする請求項 1 に記載のシリコン系薄膜。

【請求項 4】 前記シリコン系薄膜が高周波を用いたプラズマ CVD 法によって作成されたことを特徴とする請求項 1 に記載のシリコン系薄膜。

【請求項 5】 前記高周波が 10 MHz 以上 10 GHz 以下であることを特徴とする請求項 4 に記載のシリコン系薄膜。

【請求項 6】 基体上に少なくとも一組の $p-i-n$ 接合を持つをもつシリコン系半導体層を含む光起電力素子において、 i 型半導体層が、請求項 1 ないし 5 のいずれか 1 項に記載の前記シリコン系薄膜を含むことを特徴とした光起電力素子。

【請求項 7】 前記シリコン系半導体層が、基体上に少なくとも第一の透明導電層を積層してなる基板上に形成されており、前記第一の透明導電層が前記表面形状を持つことを特徴とした請求項 6 に記載の光起電力素子。

【請求項 8】 前記基体が、導電性基体であることを特徴とした請求項 6 に記載の光起電力素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、シリコン系薄膜及び基体上に少なくとも一組のp i n接合をもつシリコン系半導体層を含む太陽電池、センサー等の光起電力素子に関するものである。

【0002】

【従来の技術】

結晶性を示すシリコン系薄膜の形成方法としては、従来からキャスト法などの液相から成長させる方法が行われてきたが、高温処理が必要であり、量産性・低コスト化に向けての課題があった。

【0003】

キャスト法以外の結晶性を示すシリコン薄膜の形成方法としては、特開平5-109638号公報に記載のアモルファスシリコン膜を固相成長させて多結晶シリコン膜を形成する方法や、特開平5-136062号公報に記載のアモルファスシリコン形成後に水素プラズマ処理を行い、これを繰り返すことにより多結晶シリコン膜を形成する方法が開示されている。

【0004】

【本発明が解決しようとする課題】

ところが、前述のようにすでに開示された結晶性を示すシリコン薄膜の形成方法において、前者の方法には、数 μ m以上の半導体層を固相反応を用いて結晶させるために長時間の熱処理を必要とし、後者の方法には、水素プラズマ処理とシリコン層形成を繰り返すことによるプロセス時間の増大という問題点があった。

【0005】

さらに、光閉込め効果の促進するための一手段として凸凹な表面形状を持つ基板を採用した場合には、配向性を示すシリコン系薄膜、特に厚さ方向に柱状の構造をもつシリコン系薄膜においては、薄膜形成初期に凸凹の接線方向に配向面が成長することにより、成長過程において不規則粒界を発生させる要因となっていた。

【0006】

そこで、本発明は上記した課題を解決し、コストが安く、産業的に実用レベルにあるプロセス時間で可能な成膜速度で、特に凸凹な表面形状を持つ基板上において、光電特性の優れた光起電力素子を提供することを目的としている。

【0007】

【課題を解決するための手段】

本発明のシリコン系薄膜は、断面形状が関数 f で表わされる表面上に形成された結晶相を含むシリコン系薄膜において、前記シリコン系薄膜が、サンプリング長 dx が 20nm から 100nm の範囲で傾斜角 $\arctan(df/dx)$ の標準偏差が 15° から 55° である形状の上に形成され、前記シリコン系薄膜のアモルファス成分に起因するラマン散乱強度が結晶成分に起因するラマン散乱強度以下であり、前記基体に平行な方向の面間隔と、単結晶シリコンの面間隔との差が、単結晶シリコンの面間隔に対して 0.2% ～ 1.0% の範囲で変化していることを特徴とするシリコン系薄膜を特徴とする。

【0008】

また本発明は、前記結晶相を含むシリコン系薄膜が、厚さ方向に柱状の構造の結晶を含むことを特徴とするシリコン系薄膜を提供する。

【0009】

また本発明は、エックス線又は電子線回折による (220) の回折強度の割合が全回折強度の 30% 以上であることを特徴としシリコン系薄膜を提供する。

【0010】

また本発明は、基体上に少なくとも一組の $p\text{-}i\text{-}n$ 接合を持つをもつシリコン系半導体層を含む光起電力素子において、 i 型半導体層が、前記シリコン系薄膜を含むことを特徴とした光起電力素子を提供する。

【0011】

また本発明は、前記シリコン系半導体層が、基体上に少なくとも第一の透明導電層を積層してなる基板上に形成されており、前記第一の透明導電層が前記表面形状を持つことを特徴とした光起電力素子を提供する。

【0012】

また本発明は、前記シリコン系薄膜が高周波を用いたプラズマCVD法によって作成されたことを特徴とした光起電力素子を提供する。

【0013】

前記高周波の周波数は10MHz以上10GHz以下であることが好ましい。
前記基体は導電性基体であることが好ましい。

【0014】

【発明の実施の形態】

前述した課題を解決するために鋭意研究を重ねた結果、本発明者は基体上に形成された結晶相を含むシリコン系薄膜において、前記シリコン系薄膜が、表面の断面形状 f のサンプリング長 dx が20nmから100nmの範囲で傾斜角 $\arctan(df/dx)$ の標準偏差が 15° から 55° である形状の上に形成され、前記シリコン系薄膜のアモルファス成分に起因するラマン散乱強度が結晶成分に起因するラマン散乱強度以下であり、前記基体に平行な方向の面間隔と、単結晶シリコンの面間隔との差が、単結晶シリコンの面間隔に対して0.2%~1.0%の範囲であるシリコン系薄膜は、凸凹した表面形状でも、欠陥密度の小さな、良質な結晶相を含むシリコン薄膜の形成が可能であり、これを用いた光起電力素子においては、良好な光電変換特性を得られること、膜中のクラックの発生要因を抑制すること、形成表面が清浄化されることなどにより、基板との密着性が向上し、良好な耐環境性を示すこと、を見出した。

【0015】

上記の構成にすることにより、以下の作用がある。

【0016】

高周波を用いたプラズマCVD法により結晶相を含むシリコン系半導体層を形成する方法は、固相反応と比較してプロセス時間が短く、プロセス温度も低くすることが可能なため低コスト化に有利である。特に、pin接合を有する光起電力素子において、膜厚のより大きなi型半導体層に適用することで、この効果は大きく発揮される。

【0017】

実質的に光吸収層として機能するi型半導体層を結晶相を含むi型半導体層と

した場合には、アモルファスの場合に問題になるステブラー-ロンスキー (Staeblér-Wronski) 効果による光劣化現象を抑制することができるメリットがある。本発明者が鋭意研究を重ねた結果、アモルファスに起因するラマン散乱強度 (典型的な例として 480 cm^{-1} 付近) が結晶成分に起因するラマン散乱強度 (典型的な例として 520 cm^{-1} 付近) 以下であるように形成された i 型半導体層において、上記の効果がより顕著に現れることを見出した。

【0018】

ここで、結晶相を含む i 型半導体層における問題点として、結晶粒界が多数キャリア、少数キャリア双方に影響を与えて性能を劣化させることが知られている。結晶粒界の影響を抑制するためには、i 型半導体層内の結晶粒径を大きくして結晶粒界密度を低下させることが有効な手段の一つであると考えられる。

【0019】

また、キャリアが厚さ方向に走行する場合には、結晶粒がランダムな配置をとる構成をとるよりも、厚さ方向に柱状の結晶粒が集まった構成であるほうが、キャリアが結晶粒界を横切る頻度が低減することができるため、なお好ましいものである。特に柱状の結晶粒が (220) 面に選択配向している場合には、基板面に垂直方向に六角形状のチャンネル構造を持つことなどにより、キャリア走行性がより優れた i 型半導体層として機能するものと考えられる。ASTMカードから明らかなように、無配向の結晶性シリコンでは、低角側から 11 反射分の回折強度の総和に対する (220) 面の回折強度の割合は約 23% である。すなわち、(220) 面の回折強度の割合が 23% を上回る結晶性シリコン系薄膜は、(220) 両方向に配向性を有することになる。特に (220) 面の回折強度の割合が 30% 以上の構造においては、キャリア走行性の向上の効果がより促進されることが考えられる。

【0020】

また、前記シリコン系半導体層を凹凸を有した形状の上に形成することによって、光閉込め効果により特に長波長側の感度が増大するため、光起電力素子の中で実質的に光吸収層として機能する i 型半導体層を前記凹凸形状の上に形成した場合に、i 型半導体層を薄膜化することが可能になるというメリットがある。特

に可視光領域の光に対するの光閉込め効果を見積もるためには、表面の断面形状 f のサンプリング長 dx が 20 nm から 100 nm の範囲で傾斜角 $\arctan(dx/dx)$ の分布を調べ、その標準偏差が 15° から 55° である形状にすることで、光閉じ込めの効果が顕著になることがわかった。

【0021】

一方、前記の凹凸を有する形状の上に、配向性があり厚さ方向に柱状の構造の結晶を含むシリコン系薄膜を形成する場合、基板の凹凸の法線方向に柱状の構造が成長するため、成長過程で結晶粒同士の衝突などが起きるなどして、構造上の不整合が生じやすくなる。アモルファス成分に起因するラマン散乱強度が結晶成分に起因するラマン散乱強度以下であるようなシリコン系薄膜の場合には、より構造に柔軟性をもたせることが可能なアモルファスの成分が多いシリコン系薄膜の場合と比べると、膜形成の過程で構造上の不整合を吸収することはより困難である。

【0022】

また、凹部と凸部によって生じた表面の化学ポテンシャルを駆動力とする体積拡散や表面拡散によって構造上の不整合の緩和する度合いも、シリコン系薄膜に代表されるダイヤモンド構造のような4配位の構造は、6配位の単純立方格子、8配位の体心立方格子、12配位の面心立方格子などと比較すると小さい。そのために、アモルファス成分に起因するラマン散乱強度が結晶成分に起因するラマン散乱強度以下であるようなシリコン系薄膜の場合には、成長面に平行な方向と、成長面に垂直な方向での格子定数の比率を変化させ、擬正方晶的な結晶構造へ変化させて構造上の不整合を緩和させることが効果的になる。

【0023】

これにより、結晶粒と結晶粒との間の不規則粒界や、転位の発生を抑制することができ、結晶学的に規則性のない領域であるこれらの発生を抑制することで、粒界の電氣的活性度を低下、バルク内の不結合手の発生の抑制を実現し、ひいてはシリコン系薄膜としてのキャリアの走行性を向上させることが可能になる。

【0024】

ただし格子定数を変化させる場合、変化の度合いが大きすぎた場合には、バル

ク内の点欠陥の誘発などによりキャリア走行性の低下の要因となるために、変化させうる量には限界がある。また、前記標準偏差が 15° より小さい場合には、光閉込め効果が乏しくてi型半導体層を比較的厚くする必要があり、前記標準偏差が 55° より大きくなると急峻な頂点部が発生し、シリコン系薄膜内に局所的な応力を発生させる要因となるといった問題点も生じる。なお $15^\circ \sim 55^\circ$ の中で $20^\circ \sim 50^\circ$ がより好ましく、 $25^\circ \sim 40^\circ$ がさらに好ましい。

【0025】

本発明者が鋭意研究を重ねた結果、光閉込め効果が有効に働き、しかもバルク内のキャリア走行性も良好に保ち、シリコン系薄膜内に局所的な応力を発生しない領域は、前記標準偏差が 15° から 55° である形状の上に形成され、前記シリコン系薄膜の前記基体に平行な方向の面間隔と、単結晶シリコンの面間隔との差が、単結晶シリコンの面間隔に対して $0.2\% \sim 1.0\%$ の範囲であること、を見出した。

【0026】

表面の断面形状 f のサンプリング長 dx が 20 nm から 100 nm の範囲で傾斜角 $\arctan(df/dx)$ の標準偏差が 15° から 55° である形状の作成方法として、SUS基体、金属層、第一の透明導電層からなる基板上に前記形状を設ける手段を例として以下で説明する。凹凸形状は、SUS基体、金属層、第一の透明導電層のそれぞれの層で凹凸形状を作る工夫を行ってもよいし、その一部でのみで行うほう方法であっても、最終的な表面形状が上記の条件下になっていれば構わない。

【0027】

SUS基体に凹凸形状を作る方法としては、冷間圧延した後、熱処理や酸洗いなどによる方法、機械的に表面を荒らしたロールによる圧延する方法、研磨材を塗布したベルトにより研磨する方法、これらを組み合わせた方法などによって行うことができる。金属層で凹凸を作る方法としては、高温に加熱した基体上に金属層を蒸着法、スパッタ法を用いて形成する方法、電析法、印刷法などによって行うことができる。第一の透明導電層で凹凸を作る方法としては、高温に加熱した基体上に第一の透明導電層を蒸着法、スパッタ法を用いて形成する方法、硝酸

イオンと亜鉛イオンを含む溶液（濃度 $0.001 \sim 1.0 \text{ mol/l}$ 、液温は 50°C 以上）などを用いた電析法によって形成する方法、印刷法などがあげられる。スパッタ法にて第一の透明導電層を形成する場合には、形成初期段階で、原料ガスに酸素を導入するのも有効である。さらに、これらの方法を用いた各行程において、ドライエッチング、ウェットエッチング、あるいはサンドブラストなどによる研磨、加熱処理などの処置を加えてもよい。ウェットエッチングの場合は、ウェット時間を制御することにより標準偏差を制御できる。時間の経過につれ標準偏差の値は大きくなる。

【0028】

図6は、前記形状の表面をプローブ顕微鏡で観察し、その観察データから、任意のサンプリング長において断面形状 f の傾き df/dx から傾斜角 $\arctan(df/dx)$ を求め、傾斜角の分布を求めた概念図である。サンプリング長がより小さい範囲では、光閉込め効果に寄与しない凹凸による傾斜を測定してしまうことがあり、逆にサンプリング長がより大きな範囲では、サンプリング長と凹凸のピッチが近づき、光閉込め効果に寄与する波長に対する凹凸が正確に評価できない。したがって、サンプリング長は光吸収させたい光の波長の $1/3 \sim 1/10$ 程度が好ましい。概ね紫外光、可視光、近赤外光の範囲を目的としている場合には、 $20 \text{ nm} \sim 100 \text{ nm}$ が好ましい。本発明では、基体に平行な方向の面間隔と、単結晶シリコンの面間隔との差が、単結晶シリコンの面間隔に対して $0.2\% \sim 1.0\%$ の範囲である。この値が 0.2% より小さいと構造上の不整合を緩和することが不十分であり、 1.0% より大きいとバルク内の点欠陥の誘発などによりキャリア走行性の低下の要因となる。この値は、 $0.3\% \sim 0.7\%$ がより好ましい。

【0029】

高周波を用いたプラズマCVD法を用いて、シリコン系薄膜の前記基体に平行な方向の面間隔と、単結晶シリコンの面間隔との差が、単結晶シリコンの面間隔に対して、 $0.2\% \sim 1.0\%$ の範囲であるように形成するための手段としては、成膜過程の初期に、イオン衝撃をより活発にすることによって、付着したシリコン原子に対して、原子位置への変位を促す駆動力の源の一部として作用させる

ことが可能になり、表面形状に適した結晶構造を持つシリコン系薄膜の形成が可能になるものなどがあげられる。イオン衝撃が活発なほど、上記数値は大きくなる。

【0030】

さらに、成膜過程の初期に、イオン衝撃をより活発にすることによって、表面層に対するエッチング効果が働き、表面が清浄化され、それに伴って下地層とシリコン系薄膜との密着性が向上するというメリットもある。さらに、前記の表面の断面形状 f を持つ表面層への成膜過程の初期においては、表面層に温度が十分でない局所的な領域が発生し、表面拡散の極端な低下による膜のアモルファス化、しかもH量の最適化、構造の緩和が不十分なために特にキャリアの走行性に悪影響を与える低品質な初期膜が形成することが懸念されるが、イオン衝撃をより活発にすることによって、イオンの運動エネルギーによる加熱効果が活発になり、低品質な初期膜の形成を抑えることができる。

【0031】

ここで、前記表面層は、光起電力素子における i 型半導体層が前記シリコン系薄膜を含む場合には、基板側から nip 構成をとる場合には、 n 型半導体層、または別の形態の i 型半導体層が相当し、基板側から pin 構成をとる場合には、 p 型半導体層、または別の形態の i 型半導体層が相当するが、前記表面相の形状は、前記基板で形成されることが好ましいものである。

【0032】

高周波を用いたプラズマCVD法を用いてイオン衝撃をより活発にするシリコン系薄膜の形成方法としては、投入する高周波パワーを大きくしたり、プラズマ中の活性種が追従できるような周波数の高周波電源を用いたり、原料ガスに He 、 Ar 、 Ne などのプラズマ化しやすい不活性ガスを導入するなどがあげられる。これらの処方、前記シリコン系薄膜の形成初期に用いることで、シリコン系薄膜の前記基体に平行な方向の面間隔と、単結晶シリコンの面間隔との差が、単結晶シリコンの面間隔に対して $0.2\% \sim 1.0\%$ の範囲であるように形成することができるようになる。

【0033】

次に本発明の光起電力素子の構成要素について説明する。

【0034】

図1は本発明の光起電力素子の一例を示す模式的な断面図である。図中101は基板、102は半導体層、103は第二の透明導電層、104は集電電極である。また、101-1は基体、101-2は金属層、101-3は第一の透明導電層である。これらは基板101の構成部材である。

【0035】

(基体)

基体101-1としては、金属、樹脂、ガラス、セラミックス、半導体バルク等からなる板状部材やシート状部材が好適に用いられる。その表面には微細な凸凹を有していてもよい。透明基体を用いて基体側から光が入射する構成としてもよい。また、基体を長尺の形状とすることによってロール・ツー・ロール法を用いた連続成膜を行うことができる。特にステンレス、ポリイミド等の可撓性を有する材料は基体101-1の材料として好適である。

【0036】

(金属層)

金属層101-2は電極としての役割と、基体101-1にまで到達した光を反射して半導体層102で再利用させる反射層としての役割とを有する。その材料としては、Al、Cu、Ag、Au、CuMg、AlSi等を好適に用いることができる。その形成方法としては、蒸着、スパッタ、電析、印刷等の方法が好適である。金属層101-2は、その表面に凸凹を有することが好ましい。それにより反射光の半導体層102内での光路長を伸ばし、短絡電流を増大させることができる。基体101-1が導電性を有する場合には金属層101-2は形成しなくてもよい。

【0037】

(第一の透明導電層)

第一の透明導電層101-3は、入射光及び反射光の乱反射を増大し、半導体層102内での光路長を伸ばす役割を有する。また、金属層101-2の元素が半導体層102へ拡散あるいはマイグレーションを起こし、光起電力素子がシャ

ントすることを防止する役割を有する。さらに、適度な抵抗をもつことにより、半導体層のピンホール等の欠陥によるショートを防止する役割を有する。さらに、第一の透明導電層 1 0 1 - 3 は、金属層 1 0 1 - 2 と同様にその表面に凸凹を有していることが望ましい。第一の透明導電層 1 0 1 - 3 は、ZnO、ITO等の導電性酸化物からなることが好ましく、蒸着、スパッタ、CVD、電析等の方法を用いて形成されることが好ましい。これらの導電性酸化物に導電率を変化させる物質を添加してもよい。

【 0 0 3 8 】

(基板)

以上の方法により、基体 1 0 1 - 1 上に必要に応じて、金属層 1 0 1 - 2、第一の透明導電層 1 0 1 - 3 を積層して基板 1 0 1 を形成する。また、素子の集積化を容易にするために、基板 1 0 1 に中間層として絶縁層を設けてもよい。

【 0 0 3 9 】

(半導体層)

本発明のシリコン系薄膜及び半導体層 1 0 2 の主たる材料としては、アモルファス相あるいは結晶相、さらにはこれらの混相系の Si が用いられる。Si に代えて、Si と C 又は Ge との合金を用いても構わない。半導体層 1 0 2 には同時に、水素及び／又はハロゲン原子が含有される。その好ましい含有量は 0.1 ~ 40 原子%である。さらに半導体層 1 0 2 は、酸素、窒素などを含有してもよい。半導体層を p 型半導体層とするには III 属元素、n 型半導体層とするには V 属元素を含有する。

【 0 0 4 0 】

p 型層及び n 型層の電気特性としては、活性化エネルギーが 0.2 eV 以下のものが好ましく、0.1 eV 以下のものが最適である。また比抵抗としては 100 Ω cm 以下が好ましく、1 Ω cm 以下が最適である。スタックセル (pin 接合を複数有する光起電力素子) の場合、光入射側に近い pin 接合の i 型半導体層はバンドギャップが広く、遠い pin 接合になるに随いバンドギャップが狭くなるのが好ましい。

【 0 0 4 1 】

また、i 層内部ではその膜厚方向の中心よりも p 層寄りにバンドギャップの極小値があるのが好ましい。光入射側のドーブ層（p 型層もしくは n 型層）は光吸収の少ない結晶性の半導体か、又はバンドギャップの広い半導体が適している。pin 接合を 2 組積層したスタックセルの例としては、i 型シリコン系半導体層の組み合わせとして、光入射側から（アモルファス半導体層、結晶相を含む半導体層）、（結晶相を含む半導体層、結晶相を含む半導体層）となるものがあげられる。

【0042】

また、pin 接合を 3 組積層した光起電力素子の例としては i 型シリコン系半導体層の組み合わせとして、光入射側から（アモルファス半導体層、アモルファス半導体層、結晶相を含む半導体層）、（アモルファス、結晶相を含む半導体層、結晶相を含む半導体層）、（結晶相を含む半導体層、結晶相を含む半導体層、結晶相を含む半導体層）となるものがあげられる。

【0043】

i 型半導体層としては光（630nm）の吸収係数（ α ）が 5000 cm^{-1} 以上、ソーラーシミュレーター（AM1.5、 100 mW/cm^2 ）による擬似太陽光照射化の光伝導度（ σ_p ）が $10 \times 10^{-5}\text{ S/cm}$ 以上、暗伝導度（ σ_d ）が $10 \times 10^{-6}\text{ S/cm}$ 以下、コンスタントフォトカレントメソッド（CPM）によるアーバックエナジーが 55 meV 以下であるのが好ましい。i 型半導体層としては、わずかに p 型、n 型になっているものでも使用することができる。また、pin 接合は、基板側から p 層 i 層 n 層の構成でも、その逆であっても構わない。

【0044】

（半導体層の形成方法）

本発明のシリコン系薄膜、及び上述の半導体層 102 を形成するには、高周波プラズマ CVD 法が適している。以下、高周波プラズマ CVD 法によって半導体層 102 を形成する手順の好適な例を示す。

（1）減圧状態にできる堆積室（真空チャンバー）内を所定の堆積圧力に減圧する。

(2) 堆積室内に原料ガス、希釈ガス等の材料ガスを導入し、堆積室内を真空ポンプによって排気しつつ、堆積室内を所定の堆積圧力に設定する。

(3) 基板101をヒーターによって所定の温度に設定する。

(4) 高周波電源によって発振された高周波を前記堆積室に導入する。前記堆積室への導入方法は、高周波を導波管によって導き、アルミナセラミックスなどの誘電体窓を介して堆積室内に導入したり、高周波を同軸ケーブルによって導き、金属電極を介して堆積室内に導入したりする方法がある。

(5) 堆積室内にプラズマを生起させて原料ガスを分解し、堆積室内に配置された基板101上に堆積膜を形成する。この手順を必要に応じて複数回繰り返して半導体層102を形成する。

【0045】

本発明のシリコン系薄膜、及び上述の半導体層102の形成条件としては、堆積室内の基板温度は100～450℃、圧力は0.5mTorr～10Torr、高周波パワーは0.001～1W/cm³が好適な条件としてあげられる。

本発明のシリコン系薄膜、及び上述の半導体層102の形成に適した原料ガスとしては、SiH₄、Si₂H₆、SiF₄等のシリコン原子を含有したガス化しうる化合物があげられる。合金系にする場合にはさらに、GeH₄やCH₄などのようにGeやCを含有したガス化しうる化合物を原料ガスに添加することが望ましい。原料ガスは、希釈ガスで希釈して堆積室内に導入することが望ましい。希釈ガスとしては、H₂、He、Ar、Neなどがあげられる。さらに窒素、酸素等を含有したガス化しうる化合物を原料ガス乃至希釈ガスとして添加してもよい。アモルファス成分に起因するラマン散乱強度が、結晶成分に起因するラマン散乱強度以下とするためには、SiH₄ガスに対するH₂ガスの流量比を高めたり、成膜温度を高めたり、原料ガスにSiF₄などのハロゲン系元素を含有するガスを用いる方法などがあげられる。

【0046】

半導体層をp型層とするためのドーパントガスとしてはB₂H₆、BF₃等が用いられる。また、半導体層をn型層とするためのドーパントガスとしては、PH₃、PF₃等が用いられる。

【 0 0 4 7 】

結晶相の薄膜や、SiC等の光吸収が少ないかバンドギャップの広い層を堆積する場合には、原料ガスに対する希釈ガスの割合を増やし、比較的高いパワーの高周波を導入するのが好ましい。また本発明の、前記基体に平行な方向の面間隔と、単結晶シリコンの面間隔との差が、単結晶シリコンの面間隔に対して0.2%~1.0%の範囲であるようにシリコン系薄膜を形成するためには、前述のように、成膜過程の初期に、イオン衝撃をより活発にすることによって、付着したシリコン原子に対して、原子位置への変位を促す駆動力の源の一部として作用させることが可能になり、表面形状に適した結晶構造を持つシリコン系薄膜の形成が可能になるものと思われる。高周波を用いたプラズマCVD法を用いてイオン衝撃をより活発にするシリコン系薄膜の形成方法としては、投入する高周波パワーを大きくしたり、プラズマ中の活性種が追従できるような周波数の高周波電源を用いたり、原料ガスにHe、Ar、Neなどのプラズマ化しやすい不活性ガスを導入するなどがあげられる。プラズマCVD法における高周波としては10MHz以上10GHz以下が好ましい。また、上記の範囲内において、成膜の初期領域においては、プラズマ中の活性種が追従しやすい相対的に低い周波数を用いて膜形成を行う方法は好ましいものである。

【 0 0 4 8 】

(第二の透明導電層)

第二の透明導電層103は、光入射側の電極であるとともに、その膜厚を適当に設定することにより反射防止膜の役割をかねることができる。第二の透明導電層103は、半導体層102の吸収可能な波長領域において高い透過率を有することと、抵抗率が低いことが要求される。好ましくは550nmにおける透過率が80%以上、より好ましくは85%以上であることが望ましい。抵抗率は $5 \times 10^{-3} \Omega \text{cm}$ 以下、より好ましくは $1 \times 10^{-3} \Omega \text{cm}$ 以下であることが好ましい。第二の透明導電層103の材料としては、ITO、ZnO、 In_2O_3 等を好適に用いることができる。その形成方法としては、蒸着、CVD、スプレー、スピノン、浸漬などの方法が好適である。これらの材料に導電率を変化させる物質を添加してもよい。

【 0 0 4 9 】

(集電電極)

集電電極 1 0 4 は集電効率を向上するために透明電極 1 0 3 上に設けられる。その形成方法として、マスクを用いてスパッタによって電極パターンの金属を形成する方法や、導電性ペーストあるいは半田ペーストを印刷する方法、金属線を導電性ペーストで固着する方法などが好適である。

【 0 0 5 0 】

なお、必要に応じて光起電力素子の両面に保護層を形成することがある。同時に光起電力素子の裏面（光入射側と反射側）などに銅板等の補教材を併用してもよい。

【 0 0 5 1 】

【実施例】

以下の実施例では、光起電力素子として太陽電池を例に挙げて本発明を具体的に
するが、これらの実施例は本発明の内容を何ら限定するものではない。

【 0 0 5 2 】

(実施例 1)

図 2 に示した堆積膜形成装置 2 0 1 を用い、以下の手順でシリコン系薄膜を形成した。

【 0 0 5 3 】

図 2 は、本発明のシリコン系薄膜及び光起電力素子を製造する堆積膜形成装置の一例を示す模式的な断面図である。図 2 に示す堆積膜形成装置 2 0 1 は、基板送り出し容器 2 0 2、半導体形成用真空容器 2 1 1 ~ 2 1 8、基板巻き取り容器 2 0 3 が、ガスゲート 2 2 1 ~ 2 2 9 を介して結合することによって構成されている。この堆積膜形成装置 2 0 1 には、各容器及び各ガスゲート 2 2 1 ~ 2 2 9 を貫いて帯状の導電性基板 2 0 4 がセットされる。帯状の導電性基板 2 0 4 は、基板送り出し容器 2 0 2 に設置されたボビンから巻き出され、基板巻き取り容器 2 0 3 で別のボビンに巻き取られる。

【 0 0 5 4 】

半導体形成用真空容器211~218は、それぞれ堆積室を有しており、該放電室内の放電電極241~248に高周波電源251~258から高周波電力を印加することによってグロー放電を生起させ、それによって原料ガスを分解し導電性基板204上に半導体層を堆積させた。また、各半導体形成用真空容器211~218には、原料ガスや希釈ガスを導入するためのガス導入管231~238が接続されている。

【0055】

図2に示した堆積膜形成装置201は、半導体形成用真空装置を8個具備しているが、以下の実施例においては、すべての半導体形成用真空容器でグロー放電を生起させる必要はなく、製造する光起電力素子の層構成にあわせて各容器でのグロー放電の有無を選択することができる。また、各半導体形成装置には、各堆積室内での導電性基板204と放電空間との接触面積を調整するための、不図示の成膜領域調整板が設けられており、これを調整することによって各容器で形成される各半導体膜の膜厚を調整することができるようになっている。

【0056】

まず、ステンレス(SUS430BA)からなる帯状の基体(幅40cm、長さ20.0m、厚さ0.125mm)を十分に脱脂、洗浄し、不図示の連続スパッタリング装置に装着し、Ag電極をターゲットとして、厚さ100nmのAg薄膜を室温にてスパッタ蒸着させた。

【0057】

さらにZnOターゲットを用いて、厚さ1.2 μ mのZnO薄膜をAg薄膜の上にスパッタ蒸着し、帯状の導電性基板204を形成した。次に不図示のウェットエッチ装置に装着し、5%酢酸溶液中に30秒間浸漬した後、十分に洗浄、乾燥を行った。作成した導電性基板204の一部を切り出して、プローブ顕微鏡にて表面の断面形状を観察し、断面の傾斜角の分布を求めたところ、標準偏差は20°であった。

【0058】

次に基板送り出し容器202に、導電性基板204を巻いたポピンを装着し、導電性基板204を搬入側のガスゲート、半導体形成用真空容器211、212

、213、214、215、216、217、218、搬出側のガスゲートを介し、基板巻き取り容器203まで通し、帯状の導電性基板204がたるまないように張力調整を行った。そして、基板送り出し容器202、半導体形成用真空容器211、212、213、214、215、216、217、218、基板巻き取り容器203を真空ポンプからなる真空排気系により、 5×10^{-6} Torr 以下まで十分に真空排気した。

【0059】

次に、真空排気系を作動させつつ、半導体形成用真空容器212、213、214へガス導入管232、233、234から原料ガス及び希釈ガスを供給した。

【0060】

また、半導体形成用真空容器212、213、214以外の半導体形成用真空容器にはガス導入管から200 sccmの H_2 ガスを供給し、同時に不図示の各ゲートガス供給管から、各ガスゲートにゲートガスとして500 sccmの H_2 ガスを供給した。この状態で真空排気系の排気能力を調整して、半導体形成用真空容器212、213、214内の圧力を所望の圧力に調整した。形成条件は表1に示す通りである。

【0061】

【表1】

212の形成条件	原料ガス	SiH_4 : 30 sccm
		H_2 : 1000 scc
		Ar: 100 sccm
	基板温度	300℃
	圧力	300 mTorr
213、214の	原料ガス	SiH_4 : 30 sccm

形成条件		$H_2: 1000 \text{ sccm}$	
	基板温度	300°C	
	圧力	300 Torr	

【0062】

半導体形成用真空容器212、213、214内の圧力が安定したところで、基板送り出し容器202から基板巻き取り容器203の方向に、導電性基板204の移動を開始した。導電性基板204を移動させながら、半導体形成用真空容器212、213、214内の放電電極242、243、244に高周波電源252、253、254より高周波を導入し、半導体形成用真空容器212、213、214内の堆積室内にグロー放電を生起し、導電性基板204上に結晶相を含むi型半導体層（膜厚 $1.5 \mu\text{m}$ ）を形成し、シリコン系薄膜を形成した（実施例1）。ここで、半導体形成用真空容器212、213、214には周波数 100 MHz 、パワー 20 mW/cm^3 の高周波電力を導入した。

【0063】

次に、表1の半導体形成用真空容器212にArを導入しなかった以外は実施例1と同様の方法で、シリコン系薄膜を形成した（比較例1）。

【0064】

次に、実施例1と比較例1で作成したシリコン系薄膜を実施例1と比較例1で作成したシリコン系薄膜をエックス線回折系により $\theta-2\theta$ 法で回折ピークを測定し、220反射の回折ピークの 2θ 位置より（220）面の面間隔を求めたところ、エックス線回折法によって求めた単結晶シリコンの（220）面の面間隔 1.9201 \AA と比べると、実施例1のシリコン系薄膜では 0.40% 広くなっており、比較例1のシリコン系薄膜ではほぼ同一の値であった。

【0065】

また、電子スピン共鳴（ESR）法によりシリコン系薄膜中の未結合手の密度を評価した結果、実施例1で作成したシリコン系薄膜中の未結合手の密度は、比

較例1で作成したシリコン系薄膜中の未結合手の密度の2/3であった。以上のことから、本発明のシリコン系薄膜は、未結合手密度が小さく、キャリア走行性に優れた特長を持つことがわかる。

【0066】

(実施例2)

図3に示した堆積膜形成装置201を用い、実施例1と同様に導電性基板204上にシリコン系薄膜を形成した。形成条件は表2に示す通りである。

【0067】

【表2】

212の形成条件	原料ガス	SiH ₄ : 30 sccm
形成条件		H ₂ : 1000 sccm
	基板温度	200℃
	圧力	300mTorr
213、214の形成条件	原料ガス	SiH ₄ : 30 sccm
		H ₂ : 1000 sccm
	基板温度	300℃
	圧力	300mTorr

【0068】

半導体形成用真空容器212、213、214内の圧力が安定したところで、基板送り出し容器202から基板巻き取り容器203の方向に、導電性基板204の移動を開始した。導電性基板204を移動させながら、半導体形成用真空容器212、213、214内の放電電極242、243、244に高周波電源2

52、253、254より高周波を導入し、半導体形成用真空容器212、213、214内の堆積室内にグロー放電を生起し、導電性基板204上に結晶相を含むi型半導体層（膜厚 $1.5\mu\text{m}$ ）を形成し、シリコン系薄膜を形成した（実施例2）。

【0069】

ここで、半導体形成用真空容器212には周波数13.56MHz、パワー30mW/cm³を、半導体形成用真空容器213、214には、マイクロ波アブリケータ261、262を介して周波数2.45GHz、パワー50mW/cm³の高周波電力を導入した。

【0070】

次に、実施例2で作成したシリコン系薄膜をエックス線回折系により $\theta-2\theta$ 法で回折ピークを測定し、220反射の回折ピークの 2θ 位置より（220）面の面間隔を求めたところ、エックス線回折法によって求めた単結晶シリコンの（220）面の面間隔 1.9201\AA と比べると、実施例2のシリコン系薄膜では0.78%広がっていた。

【0071】

また、電子スピン共鳴（ESR）法によりシリコン系薄膜中の未結合手の密度を評価した結果、実施例2で作成したシリコン系薄膜中の未結合手の密度は、比較例1で作成したシリコン系薄膜中の未結合手の密度の3/5であった。以上のことから、本発明のシリコン系薄膜は、未結合手密度が小さく、キャリア走行性に優れた特長を持つことがわかる。

【0072】

（実施例3）

図2に示した堆積膜形成装置201を用い、以下の手順で図4に示したpin型光起電力素子を形成した。図4は本発明のシリコン系薄膜を有する光起電力素子の一例粗示す模式的な断面図である。図中、図1と同様の部材には同じ符号を付して説明を省略する。この光起電力素子の半導体層は、アモルファスn型半導体層102-1と、微結晶を含むi型半導体層102-2と微結晶p型半導体層102-3とからなっている。すなわち、この光起電力素子はいわゆるpin型

シングルセル光起電力素子である。

【0073】

実施例1と同様に、帯状の導電性基板204を作成し、堆積膜形成装置201に装着し、基板送り出し容器202、半導体形成用真空容器211、212、213、214、215、216、217、218、基板巻き取り容器203を不図示の真空ポンプからなる真空排気系により、 5×10^{-6} Torr以下まで充分に真空排気した。

【0074】

次に、真空排気系を作動させつつ、半導体形成用真空容器211～215へガス導入管231～235から原料ガス及び希釈ガスを供給した。

【0075】

また、半導体形成用真空容器211～215以外の半導体形成用真空容器にはガス導入管から200 sccmの H_2 ガスを供給し、同時に不図示の各ゲートガス供給管から、各ガスゲートにゲートガスとして500 sccmの H_2 ガスを供給した。この状態で真空排気系の排気能力を調整して、半導体形成用真空容器211～215内の圧力を所望の圧力に調整した。形成条件は表3に示す通りである。

【0076】

【表3】

211の形成条件	原料ガス	SiH_4 : 20 sccm
		H_2 : 100 sccm
		PH_3 (H_2 で2%に希釈): 30 sccm
	基板温度	300℃
212の形成条件	圧力	1.0 Torr
	原料ガス	SiH_4 : 30 sccm

		$H_2: 1000 \text{ sccm}$	
		$Ar: 100 \text{ sccm}$	
	基板温度	300°C	
	圧力	300 Torr	
213、214の	原料ガス	$SiH_4: 30 \text{ sccm}$	
形成条件		$H_2: 1000 \text{ sccm}$	
	基板温度	300°C	
	圧力	300 Torr	
215の形成条件	原料ガス	$SiH_4: 10 \text{ sccm}$	
		$H_2: 800 \text{ sccm}$	
		$BF_3 (H_2 \text{ で } 2\% \text{ に希釈}) : 100 \text{ sccm}$	
	基板温度	200°C	
	圧力	1.2 Torr	

【0077】

次に、半導体形成用真空容器211～215内の放電電極241～245に高周波電源251～255より高周波を導入し、半導体形成用真空容器211～215内の堆積室内にグロー放電を生起し、導電性基板204上に、導電性基板204上にアモルファスn型半導体層（膜厚30nm）、結晶相を含むi型半導体層（膜厚1.5μm）、微結晶p型半導体層（膜厚10nm）を形成し光起電力素子を形成した。

【0078】

ここで、半導体形成用真空容器211には周波数13.56MHz、パワー5mW/cm³を、半導体形成用真空容器212、213、214には周波数10MHz、パワー20mW/cm³を、半導体形成容器215には周波数13.56MHz、パワー30mW/cm³を導入した。次に不図示の連続モジュール化装置を用いて、形成した帯状の光起電力素子を36cm×22cmの太陽電池モジュールに加工した（実施例3）。

【0079】

次に、半導体形成用真空容器212にArを導入しなかった以外は実施例3と同様の方法で、太陽電池モジュールを形成した（比較例3）。

【0080】

実施例3及び比較例3で作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター（AM1.5、100mW/cm²）を用いて測定した。実施例3の太陽電池モジュールの光電変換効率を1に規格化したときの、比較例3で作成した太陽電池モジュールの光電変換効率の値は0.90となった。

【0081】

また、碁盤目テープ法（切り傷の隙間間隔1mm、ます目の数100）を用いて導電性基板と半導体層との間の密着性を調べた。またあらかじめ初期光電変換効率を測定しておいた太陽電池モジュールを、温度85℃、湿度85%の暗所に設置し30分保持、その後70分かけて温度-20℃まで下げ30分保持、再び70分かけて温度85℃湿度85%まで戻す、このサイクルを100回繰り返した後に再度光電変換効率を測定し、温湿度試験による光電変換効率の変化を調べた。

【0082】

また、あらかじめ初期光電変換効率を測定しておいた太陽電池モジュールを50℃に保持した状態で、AM1.5、100mW/cm²の擬似太陽光を500時間照射した後に、再度光電変換効率を測定し、光劣化試験による光電変換効率の変化を調べた。これらの結果を表4に示す。

【0083】

【表 4】

	実施例 3	比較例 3
初期光電変換効率	1	0.90
碁盤目テープ法による生存碁盤目数 (実施例 3 の値を 1 に規格化)	1	0.95
温湿度試験による光電変換効率の変化 (試験後の効率/初期効率)	1.0	0.95
光劣化試験による光電変換効率の変化 (劣化率を実施例 3 の値を 1 に規格化)	1	1.35

【0084】

表 4 に示すように、本発明の光起電力素子を含む実施例 3 の太陽電池モジュールは、比較例 3 の太陽電池モジュールを比較して、初期変換効率、密着性、温湿度試験や光劣化試験に対する耐久性に優れている。以上のことより本発明の光起電力素子を含む太陽電池モジュールは、優れた特長を持つことが分かる。

【0085】

(実施例 4)

まず実施例 1 と同様にステンレス (SUS430BA) からなる帯状の基体 (幅 40 cm、長さ 200 m、厚さ 0.125 mm) を十分に脱脂、洗浄し、不図示の連続スパッタリング装置に装着し、Ag 電極をターゲットとして、厚さ 100 nm の Ag 薄膜を室温にてスパッタ蒸着させた。さらに ZnO ターゲットを用いて、厚さ 1.2 μ m の ZnO 薄膜を Ag 薄膜の上にスパッタ蒸着し、帯状の導電性基板 204 を形成した。次に不図示のウェットエッチ装置に装着し、5% 酢酸溶液中に断面の傾斜角の標準偏差が 15°、20°、25°、40°、50°

、 55° になるように時間を変えながらウエットエッチをした後、十分に洗浄、乾燥を行った。その後、図 2 に示した堆積膜形成装置 2 0 1 を用い、実施例 3 と同様に p i n 型光起電力素子を形成した（実施例 4 - 1 ~ 4 - 6）。

【 0 0 8 6 】

同様に断面の傾斜角の標準偏差が 5° 、 60° になるように時間を変えながらウエットエッチをした後、十分に洗浄、乾燥を行った。その後、図 2 に示した堆積膜形成装置 2 0 1 を用い、実施例 3 と同様に p i n 型光起電力素子を作成した（比較例 4 - 1、4 - 2）。

【 0 0 8 7 】

透明導電層（ITO）1 0 3 は、マスキングによって図 7 に示すように半導体層の上に 1 cm^2 の面積をもった円形状に計 1 0 0 個作成してサブセルとし、それぞれのサブセル上に集電電極を作成した。これらのサブセルの太陽電池特性をソーラーシミュレーター（AM1. 5、 $100\text{ mW}/\text{cm}^2$ 、表面温度 25°C ）を用いて測定し、各太陽電池の 1 0 0 枚のサブセルのシャント抵抗を測定した。実用上必要なシャント抵抗値をもつものを生存サブセルとして、生存サブセルの個数で歩留まりを評価し、各光起電力素子の歩留まりを比較した。実施例 4 - 1 の生存サブセル数を 1 に規格化したときの各光起電力素子の生存サブセル数を表 5 に示した。

【 0 0 8 8 】

また、各光起電力素子の生存サブセルの光電変換効率の平均値を算出した。実施例 4 - 1 の太陽電池モジュールの光電変換効率を 1 に規格化したときの、各光起電力素子の光電変換効率を表 5 に示した。

【 0 0 8 9 】

【表 5】

断面傾斜角 の標準偏差	5° 比較例 4-1	15° 実施例 4-1	20° 実施例 4-2	25° 実施例 4-3	40° 実施例 4-4	50° 実施例 4-5	55° 実施例 4-6	60° 比較例 4-2
生存サブセル の個数	1.0	1	1.0	1.0	1.0	1.0	1.0	0.85
光電変換効 率	0.8	1	1.1	1.2	1.2	1.1	1.0	0.95

【0090】

表5に示すとおり、比較例4-1は光電変換効率の平均値が低かった。実施例4-1の短絡電流を1に規格化したときの、比較例4-1の短絡電流の値が0.85であったので、光電変換効率の低下分は、光閉込め効果が不十分であることによる短絡電流の減少によるものと思われる。また、比較例4-2は生存サブセルの個数が少なかった。導電性基板表面に急峻な頂点部が発生し、シリコン系薄膜内に局所的な応力を発生させたためであると思われる。

【0091】

以上のことより本発明の光起電力素子は、優れた特長を持つことが分かる。

【0092】

(実施例5)

図2に示した堆積膜形成装置201を用い、以下の手順で図5に示した光起電力素子を形成した。図5は本発明のシリコン系薄膜を有する光起電力素子の一例粗示す模式的な断面図である。図中、図1と同様の部材には同じ符号を付して説明を省略する。この光起電力素子の半導体層は、アモルファスn型半導体層102-1と、微結晶を含むi型半導体層102-2と微結晶p型半導体層102-3、アモルファスn型半導体層102-4と、アモルファスi型半導体層102-5と微結晶p型半導体層102-6、とからなっている。すなわち、この光起電力素子はいわゆるpinpin型ダブルセル光起電力素子である。

【0093】

実施例3と同様に、帯状の導電性基板204を作成し、堆積膜形成装置201に装着し、基板送り出し容器202、半導体形成用真空容器211、212、213、214、215、216、217、218、基板巻き取り容器203を不図示の真空ポンプからなる真空排気系により、 5×10^{-6} Torr以下まで充分に真空排気した。

【0094】

次に、真空排気系を作動させつつ、半導体形成用真空容器211~218へガス導入管231~238から原料ガス及び希釈ガスを供給した。

【0095】

また、不図示の各ゲートガス供給管から、各ガスゲートにゲートガスとして500 sccmの H_2 ガスを供給した。この状態で真空排気系の排気能力を調整して、半導体形成用真空容器211～218内の圧力を所望の圧力に調整した。ボトムセルは実施例3と同様に行ない、トップセルはn層、p層は実施例3と同様に行ない、トップセルのi型半導体層は、 SiH_4 : 50 sccm、 H_2 : 500 sccm、基板温度を220℃、圧力を1.2 Torrで行った。

【0096】

半導体形成用真空容器211～218内の圧力が安定したところで、基板送り出し容器202から基板巻き取り容器203の方向に、導電性基板204の移動を開始した。

【0097】

次に、半導体形成用真空容器211～218内の放電電極241～248に高周波電源251～258より高周波を導入し、半導体形成用真空容器211～218内の堆積室内にグロー放電を生起し、導電性基板204上に、導電性基板204上にアモルファスn型半導体層（膜厚30 nm）、結晶相を含むi型半導体層（膜厚2.0 μm ）、微結晶p型半導体層（膜厚10 nm）を形成してボトムセルを作成し、さらにアモルファスn型半導体層（膜厚30 nm）、アモルファスi型半導体層（膜厚0.3 μm ）、微結晶p型半導体層（膜厚10 nm）を形成してトップセルを作成してダブルセルの光起電力素子を形成した。

【0098】

ここで、半導体形成用真空容器211には周波数13.56 MHz、パワー5 mW/cm³の高周波電力を、半導体形成用真空容器212、213、214には周波数100 MHz、パワー20 mW/cm³を、半導体形成容器215には周波数13.56 MHz、パワー30 mW/cm³を、半導体形成用真空容器216、217には周波数13.56 MHz、パワー5 mW/cm³を、半導体形成容器218には、周波数13.56 MHz、パワー30 mW/cm³の高周波電力を導入した。

【0099】

次に不図示の連続モジュール化装置を用いて、形成した帯状の光起電力素子を

36 cm×22 cmの太陽電池モジュールに加工した（実施例5）。

【0100】

実施例5の太陽電池モジュールは、実施例3の太陽電池モジュールと比べて1.2倍の光電変換効率を示し、また、実施例5の太陽電池モジュールは、密着性、温湿度試験や光劣化試験に対する耐久性に優れており、以上のことより本発明の光起電力素子を含む太陽電池モジュールは、優れた特長を持つことが分かる。

【0101】

（実施例6）

半導体真空容器212に導入する高周波パワーを変化させた以外は実施例3と同様な方法で太陽電池モジュールを形成した（実施例6-1～6-5、比較例6-1～6-2）。それぞれの太陽電池モジュールのi型半導体層の（220）面の面間隔は、エックス線回折法によって求めた単結晶シリコンの面間隔と比べて、0.1%から1.5%の範囲で広がっていた。

【0102】

実施例及び比較例で作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター（AM1.5、100 mW/cm²）を用いて測定した。

【0103】

また、碁盤目テープ法（切り傷の隙間間隔1 mm、ます目の数100）を用いて導電性基板と半導体層との間の密着性を調べた。またあらかじめ初期光電変換効率を測定しておいた太陽電池モジュールを、温度85℃、湿度85%の暗所に設置し30分保持、その後70分かけて温度-20℃まで下げ30分保持、再び70分かけて温度85℃湿度85%まで戻す、このサイクルを100回繰り返した後に再度光電変換効率を測定し、温湿度試験による光電変換効率の変化を調べた。

【0104】

また、あらかじめ初期光電変換効率を測定しておいた太陽電池モジュールを50℃に保持した状態で、AM1.5、100 mW/cm²の擬似太陽光を500時間照射した後に、再度光電変換効率を測定し、光劣化試験による光電変換効率の変化を調べた。これらの結果を表6に示す。

【0105】

【表 6】

	比較例 6-1	実施例 6-1	実施例 6-2	実施例 6-3	実施例 6-4	実施例 6-5	比較例 6-2
高周波ペーラー(mW/cm^2)	10	15	18	20	25	30	40
(220)面の面間隔	0.1%	0.2%	0.3%	0.4%	0.7%	1.0%	1.5%
初期光電変換効率 (実施例 6-1 の値を 1 に規格化)	0.95	1	1.1	1.2	1.2	1.0	0.85
基盤目テープ法による 生存基盤目数 (実 施例 6-1 の値を 1 に 規格化)	0.90	1	1.1	1.1	1.1	1.0	0.75
温湿度試験による光 電変換効率の変化 (試験後の効率/初 期効率)	0.95	1.0	1.0	1.0	1.0	1.0	0.95
光劣化試験による光 電変換効率の変化 (劣化率を実施例 6-1 の値を 1 に規格 化)	1.15	1	1.0	1.0	1.0	1.0	1.10

(220) の面間隔は、エックス線回折法によって求めた単結晶シリコンの面間隔と比べて拡大している割合

【0106】

表 6 に示すように、i 型半導体層の (220) 面の面間隔が、エックス線回折法によって求めた単結晶シリコンの面間隔と比べて、0.2% から 1.0% の範囲で広がっていた太陽電池モジュールは、比較例の太陽電池モジュールと比較して、初期変換効率、密着性、温湿度試験や光劣化試験に対する耐久性に優れている。以上のことから本発明の光起電力素子を含む太陽電池モジュールは優れた特性をもつことがわかる。

【0107】

【発明の効果】

本発明は、表面上でもキャリア走行性に優れたシリコン系薄膜の形成が可能であり、このシリコン系薄膜を含む光起電力素子は、良好な光電変換特性を得られること、膜中のクラックの発生要因を抑制すること、形成表面が清浄化されることなどにより、基板との密着性が向上し、良好な耐環境性を示す。

【図面の簡単な説明】

【図 1】

本発明の光起電力素子の一例を示す模式的な断面図である。

【図 2】

本発明のシリコン系薄膜及び光起電力素子を製造する堆積膜形成装置の一例を示す模式的な断面図である。

【図 3】

本発明のシリコン系薄膜及び光起電力素子を製造する堆積膜形成装置の一例を示す模式的な断面図である。

【図 4】

本発明のシリコン系薄膜を含む光起電力素子の一例を示す模式的な断面図である。

【図 5】

本発明のシリコン系薄膜を含む光起電力素子の一例を示す模式的な断面図である。

【図 6】

傾斜角分布測定概念図である。

【図 7】

サブセルの概略図である。

【符号の説明】

1 0 1 : 基板

1 0 1 - 1 : 基体

1 0 1 - 2 : 金属層

1 0 1 - 3 : 第一の透明導電層

1 0 2 : 半導体層

1 0 2 - 1 : アモルファス n 型半導体層

1 0 2 - 2 : 結晶相を含む i 型半導体層

1 0 2 - 3 : 微結晶 p 型半導体層

1 0 2 - 4 : アモルファス n 型半導体層

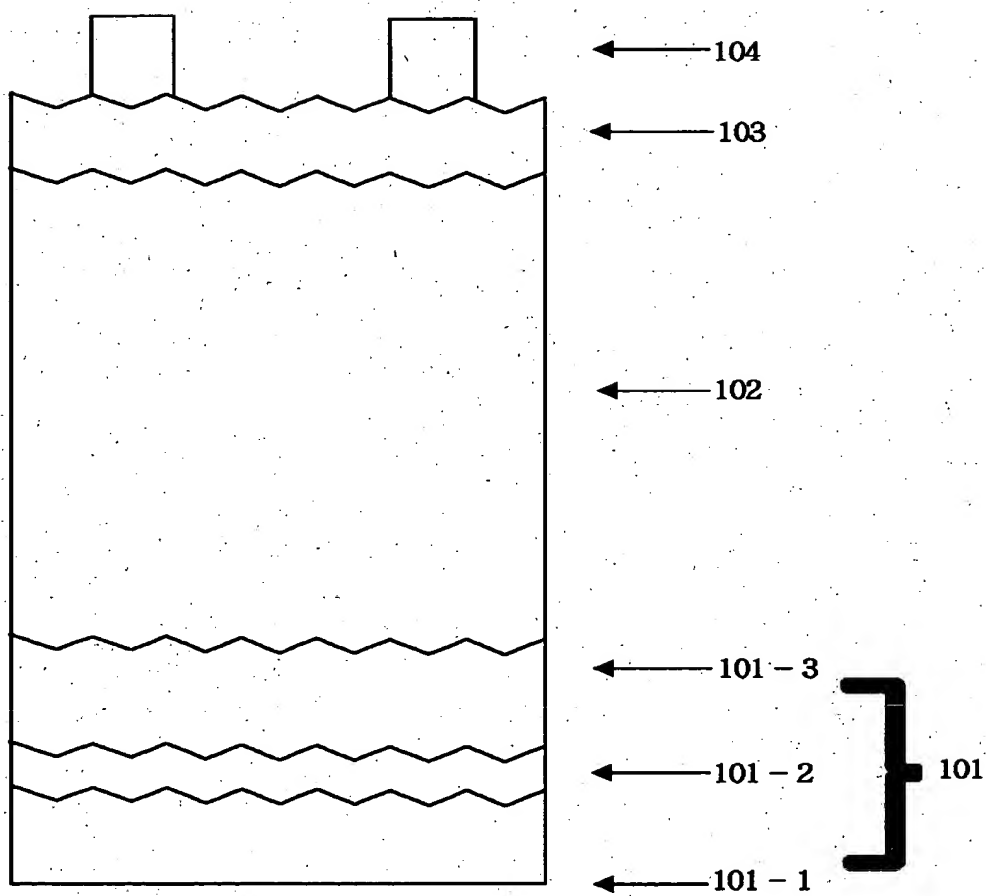
1 0 2 - 5 : アモルファス i 型半導体層

1 0 2 - 6 : 微結晶 p 型半導体層

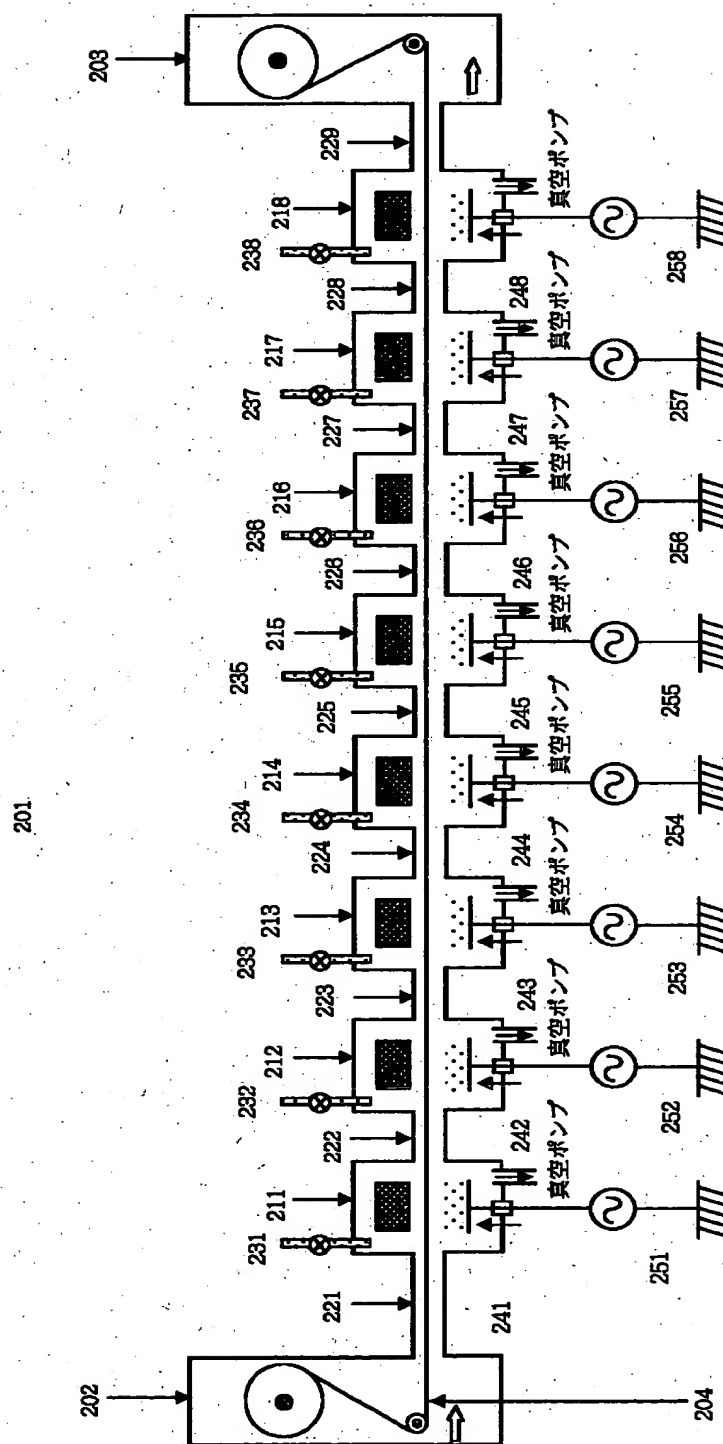
- 1 0 3 : 第二の透明電極
- 1 0 4 : 集電電極
- 2 0 1 : 堆積膜形成装置
- 2 0 2 : 基板送り出し容器
- 2 0 3 : 基板巻き取り容器
- 2 0 4 : 導電性基板
- 2 1 1 ~ 2 1 8 : 半導体形成用真空容器
- 2 2 1 ~ 2 2 9 : ガスゲート
- 2 3 1 ~ 2 3 8 : ガス導入管
- 2 4 1 ~ 2 4 8 : 放電電極
- 2 5 1 ~ 2 5 8 : 高周波電源
- 2 6 1、2 6 2 : マイクロ波アプリケーション

【書類名】 図面

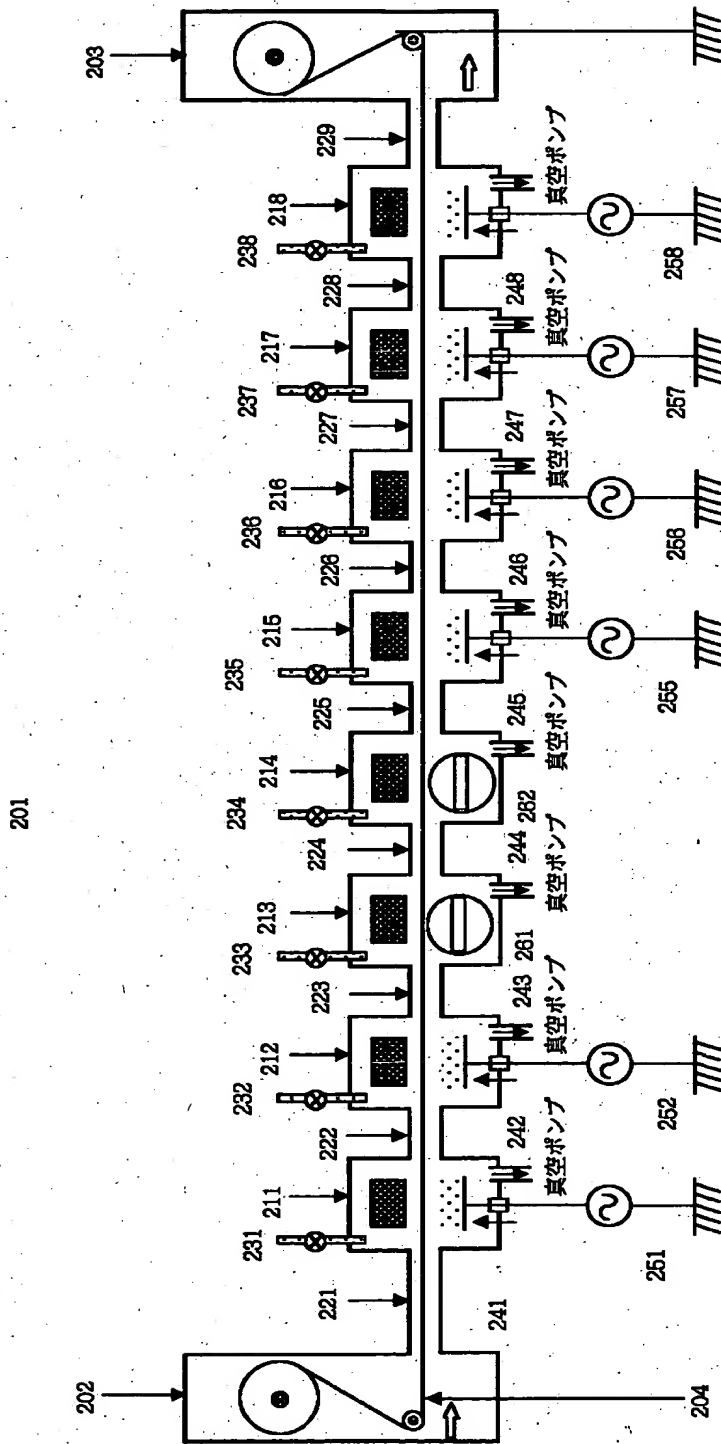
【図 1】



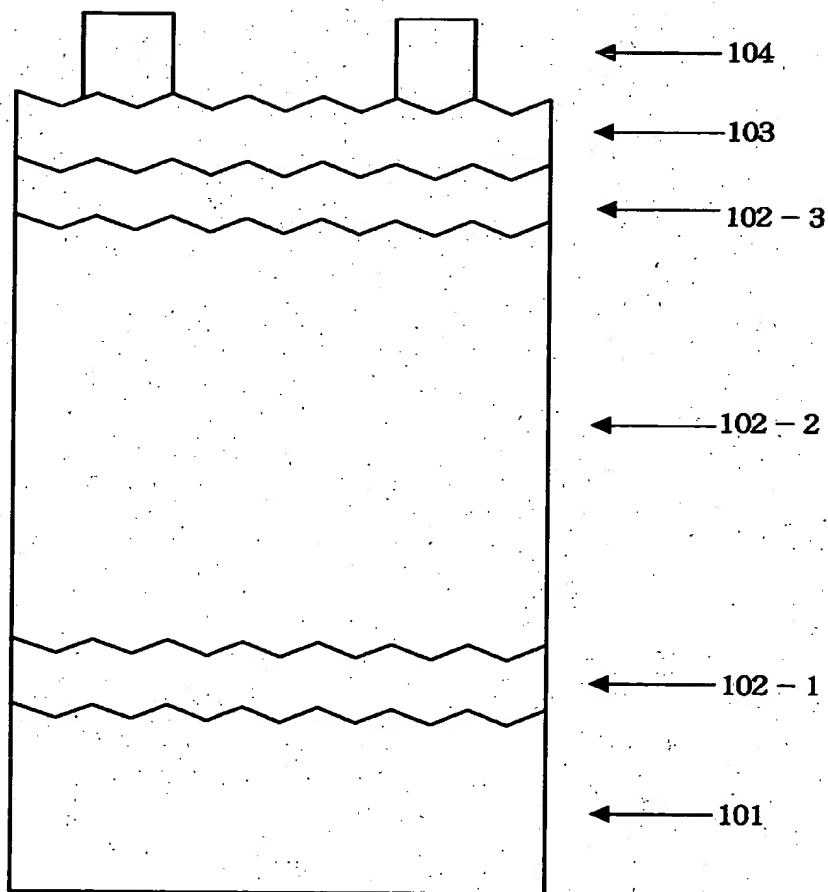
【図 2】



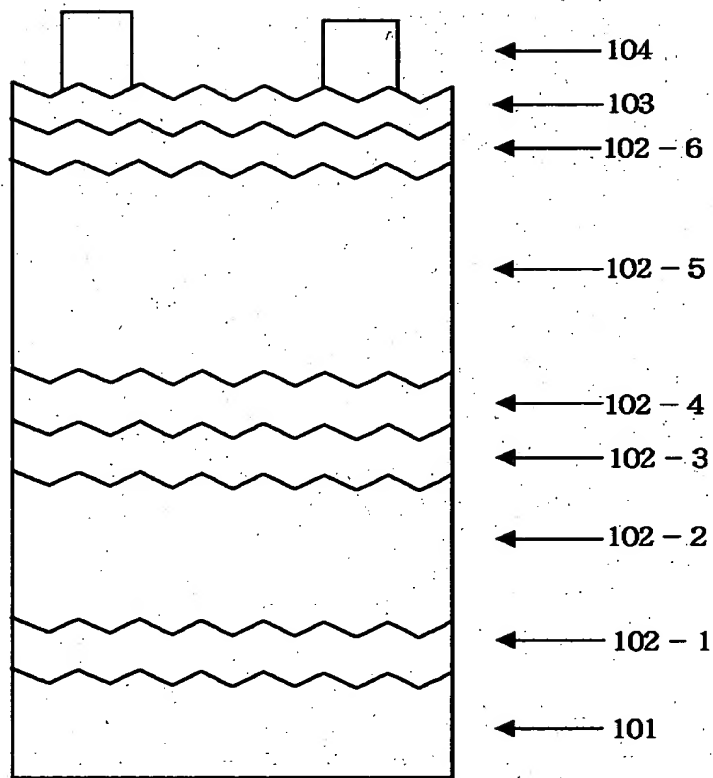
【図 3】



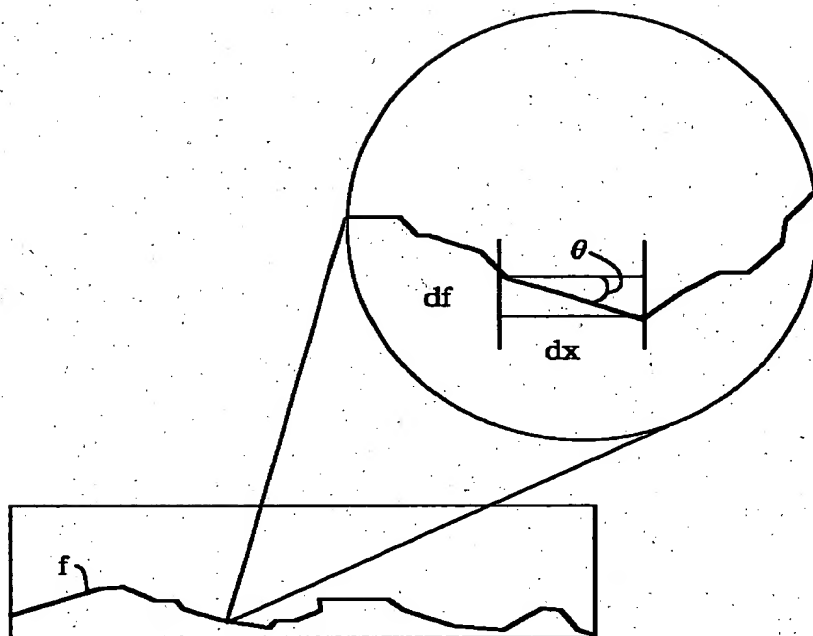
【図 4】



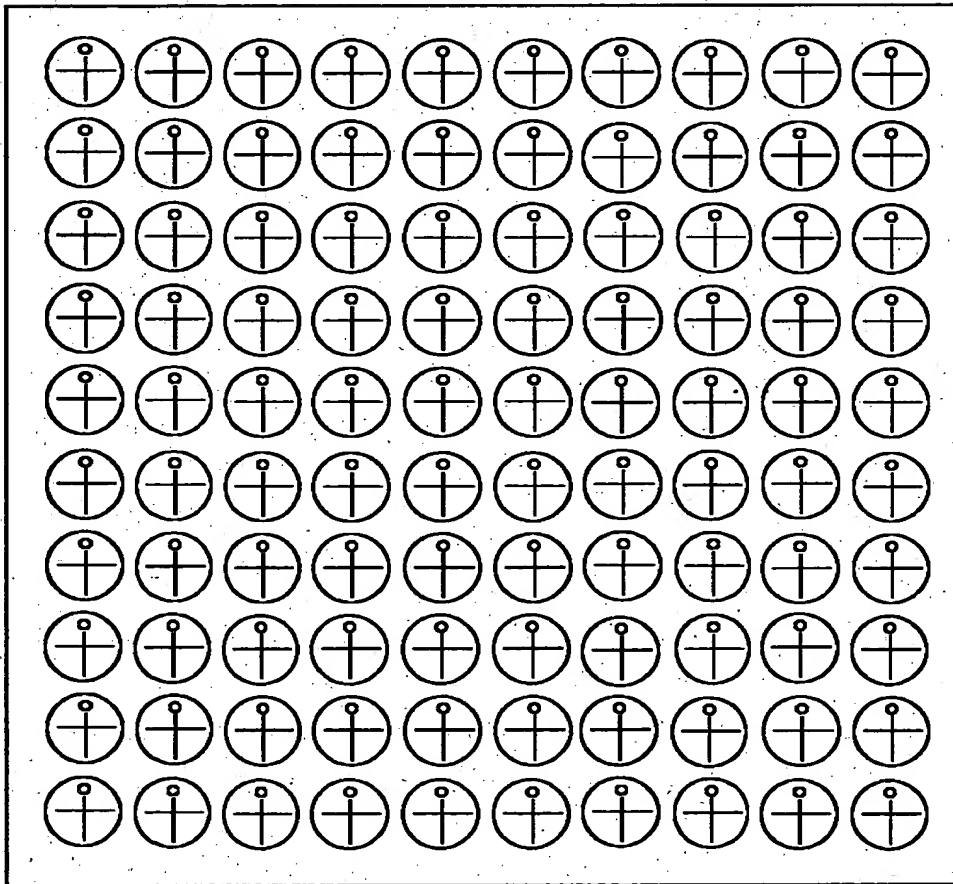
【図 5】



【図6】



【図 7】



【書類名】 要約書

【要約】

【課題】 コストが安く、産業的に実用レベルにあるプロセス時間で可能な成膜速度で、特に凸凹な表面形状を持つ基板上において、光電特性の優れた光起電力素子を提供すること。

【解決手段】 基体上に形成された結晶相を含むシリコン系薄膜において、前記シリコン系薄膜が、表面の断面形状 f のサンプリング長 dx が 20 nm から 100 nm の範囲で傾斜角 $\arctan(df/dx)$ の標準偏差が 15° から 55° である形状の上に形成され、前記シリコン系薄膜のアモルファス成分に起因するラマン散乱強度が結晶成分に起因するラマン散乱強度以下であり、前記基体に平行な方向の面間隔と、単結晶シリコンの面間隔との差が、単結晶シリコンの面間隔に対して 0.2% ～ 1.0% の範囲であることを特徴とするシリコン系薄膜。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社